

## MOS構造におけるイオン打ち込み損傷の発生・回復機構に関する研究

|     |   |
|-----|---|
| 著者  | 平岩 篤  |
| 号   | 1677  |
| 発行年 | 1995  |
| URL | <a href="http://hdl.handle.net/10097/10484">http://hdl.handle.net/10097/10484</a> |

氏 名 平 岩 篤

授 与 学 位 博 士 ( 工 学 )

学 位 授 与 年 月 日 平 成 8 年 3 月 15 日

学 位 授 与 の 根 拠 法 規 学 位 規 則 第 4 条 第 2 項

最 終 学 歴 昭 和 50 年 3 月

東京大学大学院理学系研究科物理学専攻修士課程修了

学 位 論 文 題 目 MOS 構造におけるイオン打ち込み損傷の  
発生・回復機構に関する研究

論 文 審 査 委 員 東北大学教授 宮本 信雄 東北大学教授 大見 忠弘  
東北大学教授 舩岡 富士雄 東北大学助教授 室田 淳一  
(情報研)

## 論 文 内 容 要 旨

### 1. 緒 言

今日に至る LSI (large scale integration) の発展は、イオン打ち込み技術によるところが大である。これは、同技術を用いると素子特性を大きく左右する Si 基板内のドーパント分布を、高精度に制御することができるためである。他方で、イオン打ち込みは損傷をもたらす素子不良の原因となる。そのため、LSI の製造歩留りを確保し高い信頼性を得る上で、損傷の回復を図るとともに残存する損傷の影響を最小限にとどめるプロセスおよび素子の設計が重要である。素子の微細化が今後も進展するにつれ、製造および素子動作のマージンが減少するので、上記損傷制御がより一層重要になるものと予想される。このような背景の下、本研究の目的は、LSI 製造におけるイオン打ち込み起因の問題の検討を通じて同損傷の発生・回復機構を解明し、より高度な損傷制御技術開発の基礎を提供することにある。

### 2. 洗浄液中における SiO<sub>2</sub> 膜の増速エッチング

LSI の製造においては、汚染除去を目的としてフッ酸等の溶液中においてウェハを洗浄することが頻繁に行われる。その際、SiO<sub>2</sub> 膜がイオン打ち込みにより損傷を受けていると膜が多量にエッチングされる。したがって、素子分離領域の酸化膜の厚さは、このエッチング量を見込んで設計しておくが必要である。その際、過度に厚く SiO<sub>2</sub> 膜を形成すると、素子分離領域が長くなり LSI の集積度が低下するという問題が生ずる。そのためエッチングの増速度を正確に把握することが課題である。イオン打ち込みした SiO<sub>2</sub> 膜のフッ酸溶液中におけるエッチング速度は、打ち込み条件により種々異なる。今回、その値が入射原子と薄膜構成原子との間の弾性衝突により費やされたエネルギーの総和（以下、核堆積エネルギーと呼ぶ）により一義的に決定されることを見いだした。この結果をもとに以下の損傷発生モデル (DRL モデル) を考案した。イオン打ち込みした SiO<sub>2</sub> 膜においては、微視的に局在した損傷領域と非損傷領域とが混在する。イオンの打ち込み量が増加しても損傷の程度そのものには変化が無く、損傷領域の割合が増加する。損傷領域の占める割合を Kinchin-Pease の理論により計算しその値を用いて重み付けをしながら損傷領域に対する値と非損傷領域に対する値との和をとることによりエッチング速度を求めたところ実験結果と定量的に一致した。その際、損傷領域の割合が同一になるのに要する核堆積エネルギーは Si と比較して約 1/6 と小さい。これは、SiO<sub>2</sub> においては構成元素が二種類あり構造も非晶質であるために変位型のみならず置換型の衝突も損傷の原因となるのに対して、Si においては単元素かつ結晶質であるために変位型のみが損傷をもたらすことによると考える。上記損傷領域のエッチング速度は

非損傷領域の5倍であり、この比はアンモニア・過酸化水素混合水溶液（80℃）に対しても同一であった。

イオン打ち込みされたSiO<sub>2</sub>膜は熱処理後に洗浄されることも多く、そのエッチング特性を把握することも重要である。そこで、損傷領域の割合が一定のまま損傷の度合いが熱処理により回復するとするモデル（DRCモデル）を考案し、実験結果の解析を行った。その結果、打ち込み条件によらず損傷の回復度と温度との間にはほぼ同一の関数関係が成立し、本モデルが妥当であることを確認した。なお、イオン打ち込みしたSiO<sub>2</sub>膜のSi-O伸縮振動ピークの半値幅は、熱処理後においては打ち込み量の少ない方が大きかった。これは、打ち込み量の少ない薄膜においては損傷領域と非損傷領域とが混在していることの反映であり、上記損傷回復モデルを裏付けている。

以上の検討により、イオン打ち込み条件と熱処理温度を指定すれば洗浄液中におけるSiO<sub>2</sub>膜のエッチング速度を予測することが可能となり、素子分離特性と高集積化との間で最適設計を行う際の効率が向上した。

### 3. 界面トラップと新パッシベーション技術

つぎに、イオン打ち込み損傷がSiO<sub>2</sub>/Si界面のキャリアトラップに及ぼす影響、および新しいトラップ低減技術について述べる。DRAM(dynamic random access memory)における消費電力低減の市場ニーズに応えるには、リフレッシュ時間を長くする、すなわち接合のリーク電流を低減することが重要である。今日の微細素子においては、リーク電流は主に接合の拡散層を取り囲むSiO<sub>2</sub>膜とSi基板との界面にあるキャリアトラップが発生源と考えられている。同SiO<sub>2</sub>膜は素子間分離用にLOCOS(local oxidation of silicon)法により形成された厚い酸化膜とゲート酸化膜とから構成されている。このうち、LOCOS酸化膜にはイオン打ち込みが不可避免的になされるので、同工程によるキャリアトラップ発生機構について検討を行った。本実験においては、MOSキャパシタのゲート電極を先に形成した後イオン打ち込みを行った。これはイオン打ち込みに伴う汚染および帯電によりゲート酸化膜の電気特性が劣化するのを防止するためである。その後、ゲート電極の加工、900℃の窒素アニール、および450℃の水素アニールを行った。測定の結果、打ち込み量の多いものほどSiO<sub>2</sub>/Si界面のキャリアトラップ密度が増加するが、その値もエッチング速度同様、核堆積エネルギーのみにより決定されることを明らかにした。これにより、MOSトランジスタのパンチスルー防止等を目的とした低ドーズの打ち込みを行った場合にも界面トラップの増加することが明らかになった。さらにフッ素打ち込みにおいてイオンの多くがSiO<sub>2</sub>膜を貫通する場合には上記核堆積エネルギーで記述されるキャリアトラップ密度の増加が生じた。しかし、酸化膜中にフッ素が多量に存在する場合にはドーズ量の増大とともにキャリアトラップ密度がむしろ減少し、新たな界面トラップパッシベーション技術の可能性を見いだした。

上記新パッシベーション技術をゲート酸化膜に対しても適用する際には同膜の絶縁性劣化が問題となるので、その適用限界について検討した。本研究においては1μA/cm<sup>2</sup>のリーク電流を許容限界としてSiO<sub>2</sub>膜に付加することのできる電界強度の最大値を臨界電界強度と定義し、絶縁性の目安とした。測定の結果、打ち込み量の多いものほど臨界電界強度が低下するが、その値は核堆積エネルギーで一義的に規格化できることを確認した。この結果は、SiO<sub>2</sub>膜が厚さ方向に損傷領域と非損傷領域とに分かれている（上記DRL・DRCモデル）と仮定して計算した結果と定量的に一致した。他方、フッ素打ち込みにおいては、イオンの多くがSiO<sub>2</sub>膜を貫通する場合には上記核堆積エネルギーで記述される劣化が生じたが、酸化膜中にフッ素が多量に存在する場合には劣化が生じなかった。したがって、上記したように界面トラップ低減を目的にフッ素原子を酸化膜中にイオン打ち込みしても絶縁性の劣化は問題とならないことが分かる。

上記フッ素パッシベーション技術において、イオン打ち込みの帯電に起因したゲート酸化膜の絶縁性劣化を防止するには、ゲート電極となるSi薄膜を形成した後にイオン打ち込みを行うのが有効である。その際、損傷により同Si薄膜の導電性が劣化する懸念があり、検討を行った。試料は、熱酸化膜上にLPCVD(low pressure chemical vapor deposition)法によりPをドーピングしながら非晶質状態で形成したSi薄膜であり、結晶化とPの活性化を目的とした900℃のアニール後にイオン打ち込みを行った。このようなSi薄膜の導電性も、打ち込み条件によらず核堆積エネルギーにより規格化されることを確認した。また、損傷量の増大に伴い損傷を受けていないSi原子のクラスターが局在化する（薄膜全体に広がりを持たなくなる）ために導電率の低下が生ずることを、パーコレーション理論を用いた解析により明らかにした。

イオン打ち込み後450℃以上の熱処理を行ったSi薄膜の導電率は、損傷があまり大きくない場合には処理温度および核堆積エネルギーによらず打ち込み前の値にほぼ回復する。しかし、核堆積エネルギーが処理温度で決定される所定の値

以上になると、導電率は測定限界以下となった。このしきい値は、熱処理温度とともに増加する。これらの結果、特に導電率が処理温度に依存しないという結果は、損傷領域の割合が一定のまま損傷の割合が回復するとする  $\text{SiO}_2$  の回復モデルには合致しない。したがって、Si 基板の場合と同様、Si 薄膜においても損傷領域の減少により損傷が回復することをこの結果は示している。これらの結果から、顕著なフッ素パッシベーション効果を得るのに必要なイオン打ち込みに対しても、650℃以上の熱処理を行えば導電性はほぼ元の値に回復するので実用上問題とはならないことを確認した。

上記結果から、イオン打ち込みによるフッ素パッシベーションは界面のキャリアトラップを低減するのに有効な方法であり、900℃以上の熱処理を行えばゲート酸化膜の絶縁性劣化やゲート電極の導電性劣化のような副作用も無いことが明らかとなった。なお、拡散によりフッ素を界面に導入するとキャリアトラップが低減されることは従来より知られていたが、損傷が多量に依存する場合にも有効であるのを見いだしたのは本研究が最初である。イオン打ち込みは、フッ素を直接界面に導入することが可能であり、従来法より制御性に優れているので近い将来の実用化が期待できる。

#### 4. 新アニール技術の可能性

上記した熱処理による損傷回復機構とは別に、試料温度の上昇が無い場合にもイオン打ち込みそのものに損傷を回復する機構が内包されていることを実験的に明らかにした。実験においてはまず、 $\text{SiO}_2$  膜に質量数の大きい As を打ち込み損傷を発生させた。引き続き、質量数の小さい元素 (He, H) の打ち込みを行った。これら試料を用いてフッ酸溶液中におけるエッチング速度を測定したところ、二段目の打ち込みによりエッチング速度が減少することを見いだした。この時、損傷によりシフトしていた Si-O 吸収ピーク波数も元の値に復帰する傾向を示しており、構造的にも損傷の回復がなされていることを確認した。また、この時の損傷の回復量は、損傷発生の場合同様打ち込み条件により様々であった。しかし、入射イオンおよび反跳原子が  $\text{SiO}_2$  膜を構成する原子との非弾性散乱により失ったエネルギーの総和（ここでは電子堆積エネルギーと称する）を用いると、回復度が一義的に規定できることを見出した。なお、電子線を照射した場合にもこのような電子堆積エネルギーで支配される回復現象が生じ、しかも同一の回復曲線を描くことを確認した。これは、将来の新しい低温アニール技術の可能性を示唆するものである。

#### 5. まとめ

イオン打ち込み損傷の発生過程と熱回復過程を微視的モデルに基づき解明した。この結果を元に LSI 製造および素子動作上の諸問題をイオン打ち込みおよびアニール温度の関数として予測することを可能にした。さらに、酸化膜中に打ち込まれたフッ素原子には界面トラップ低減作用のあること、および軽元素のイオン打ち込みと電子線照射には損傷回復効果のあることを明らかにした。これにより、新たなトラップパッシベーション技術および新低温アニール技術の可能性を見出した。

## 審 査 結 果 の 要 旨

MOS 構造による大規模集積化の発展は、イオン打ち込み技術の進歩によるところが大であるが、他方でイオン打ち込みデバイス内に損傷をもたらし、デバイス不良の原因を作っている。本論文は高信頼性の集積化デバイスを得るために、損傷の発生・回復機構を明らかにし、イオン打ち込み条件を予測することを可能とし、又、新たな低温アニール法を提案するなどの研究成果を纏めたもので、全文8章よりなる。

第1章は序論である。第2章と第3章では、 $\text{SiO}_2$  膜へのイオン打ち込み後及び熱アニール後の洗浄液 (HF) 中における  $\text{SiO}_2$  膜のエッチング速度の変化から、その膜の損傷、回復の結果について論じている。エッチング速度は、打ち込み条件により種々異なるが、入射イオン (反跳原子を含む) と薄膜構成原子の間の弾性衝突により費やされるエネルギーの総和 (核堆積エネルギー) により一義的に決定されることを見いだしている。そして、イオン打ち込みした膜には損傷領域と非損傷領域が混在し、打ち込み量が増加すると共に損傷領域が増加することを示している。一方、熱処理後の損傷領域の割合は一定で損傷の度合いが回復するというモデルを提案し、回復度と温度の間に一定の関係があることを明らかにしている。

第4章では、素子間分離用 LOCOS (Local Oxidation of Silicon) 酸化膜に不可避免的に用いられるイオン打ち込みによる損傷が  $\text{SiO}_2/\text{Si}$  界面のキャリアトラップに及ぼす影響とトラップ低減技術についての述べている。打ち込み量の多いもの程キャリアトラップ密度は増加し、その値も核堆積エネルギーにより一義的に決定されることを明らかにしている。同様に F 打ち込みにおいてはこのトラップも増加するが、F の多くは界面まで到達し、ドーズ量の増加と共に、逆にトラップ密度は減少し、トラップパッシベーションに役立つことを明らかにしている。

第5章と第6章では、イオン打ち込みにおける帯電に起因するゲート酸化膜の絶縁劣化防止と Si ゲート電極の導電性の劣化について述べている。ゲート酸化膜の絶縁性劣化を防止するにはゲート電極となる不純物を添加した Si 薄膜を形成した後イオン打ち込みを行うのが有効であり、イオン打ち込みによるこの Si 膜の導電性の劣化の防止には、900℃のアニール後にイオン打ち込みするのがよいことを明らかにしている。又、900℃以上の熱処理を行えばゲート酸化膜の絶縁性劣化やゲート電極の導電性劣化もないことが示された。

第7章では、イオン打ち込みによる損傷を熱的方法以外で回復する機構について述べている。 $\text{SiO}_2$  膜中に質量数の大きい元素 (As) を打ち込んで損傷を発生させた後、引き続き質量数の小さい元素 (He, H) を打ち込むことにより損傷が回復することを実験的に明らかにしている。損傷の回復量は入射イオン及び反跳イオンが  $\text{SiO}_2$  膜を構成する原子との非弾性散乱により失ったエネルギーの総和に一義的に依存していることを見いだしている。これは損傷の新たな低温アニール法として注目される成果である。

第8章は結論である。

以上要するに本論文は、MOS 構造における  $\text{SiO}_2/\text{Si}$  界面のイオン打ち込みによる損傷の発生と回復機構を明らかにし、新たなアニール技術を提案するなど集積化デバイスの高性能化に資するもので、半導体工学及び集積回路工学の発展に寄与するところが少なくない。

よって、本論文は博士 (工学) の学位論文として合格と認める。